

高可靠、低能耗的物联网基带收发机设计

夏继康, 陈 岚, 李 莹

(中国科学院 微电子研究所, 北京 100029)

摘 要: 随着物联网的飞速发展, 根据具有开放传输介质、高度资源受限和无人值守等特征的物联网感知层节点的设计需要, 提出了高可靠、低能耗的基带收发机解决方案. 提出了一种新型的频率偏移补偿和相位偏移补偿的方法, 通过对解调器的性能和系统成本的折中优化, 不仅降低了系统实现的复杂度, 而且在恶劣环境下具有很好的系统性能. 其中误帧率 1% 时对应的信噪比 E_b/N_0 为 6.6 dB, 优于其他已发表文献. 精简的设计实现和细分为五种工作模式的能耗管理策略, 通过降低整体功耗和压缩射频模块工作的占空比方法, 实现了在中芯国际 65 nm CMOS 工艺下, 此款基带收发机的总功耗低至 371 μ W.

关键词: 基带; 解调器; 载波同步; 低能耗; 物联网

中图分类号: TN91

文献标识码: A

文章编号: 1000-7180(2014)12-0016-07

Design of a Reliable and Low-Energy Baseband Transceiver for Internet of Things

XIA Ji-kang, CHEN Lan, LI Ying

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: As the rising development of Internet of Things, under the fact of open medium, highly constraint resources and unattended operations, the nodes of sensing and communication layers evoke the demand of reliability and low-energy transceivers. A well-designed frequency offset compensation and phase offset compensation method is proposed for tradeoff between the demodulator performance and the system cost to meet the requirement of low complexity and high reliability. To our best knowledge, the performance of 1% PER (packet error rate) at E_b/N_0 of 6.6 dB is better than the prior works. Moreover, a five-mode energy saving strategy reduces the radio duty cycle and the overall power. The total power of this baseband transceiver is 371 μ W by simple implementation and deliberate mode management under SMIC 65 nm CMOS process.

Key words: baseband; demodulator; carrier synchronization; low-energy; Internet of Things

1 引言

物联网^[1]整合了现有的通信技术实现了物品与物品、人与物品、人与人之间的智能互连, 它正在从根本上改变人与世界、人与他人互动的方式. 基于 IEEE 802.15.4 协议的无线传感器网络由于低成本、低功耗以及工作在免申请的 ISM(工业、科学和医疗)频段等特点, 使其在自动控制、环境监测等领域得到了广泛应用, 成为构建大部分物联网感知层

的解决方案. 为了实现物联网无所不在的愿景, 必须给工作在开放传输介质、高度资源受限和无人值守的无线物联网节点提供一个高可靠和低能耗的基带收发机解决方案.

无线多跳通信节点的收包率受环境噪声和非理想系统特性的影响严重, 相应的解决方案是对接收机中的解调器模块进行优化. IEEE 802.15.4 协议中 2.45 GHz 频段采用的调制方式是半正弦脉冲整形的 O-QPSK 调制. 大多数的解调方法都是基于文

收稿日期: 2014-03-12; 修回日期: 2014-05-08

基金项目: 国家重大科技专项(2012ZX03005); 中国科学院战略性先导科技专项(XDA06040400)

献[2]中零中频过零检测技术,然而,无线通信系统中存在着发射机和接收机之间的时钟不匹配的现象,会造成接收信号的频率偏移和相位偏移使解调出错.改善接收机性能的瓶颈在于优化解调器中频率偏移补偿和相位偏移补偿的算法.文献[3]中介绍的异步过零检测技术和文献[4]中介绍的相轴检测技术的特点在于结构简单但是可靠性不高.常用的高可靠性解调方法^[5](如最大似然估计算法)需要硬件资源开销很大的复数乘法器来计算载波频率偏移量,因此,对解调器性能和系统开销进行折中的方法不仅能降低系统实现复杂度,而且能在恶劣环境下获得很好的系统性能.

对于电池供电的无线设备,能耗决定了它的使用寿命.另外,节点的绝大部分能量都消耗在无线通信部分上.目前,已经有很多关于应用层和网络层功耗管理的研究^[6],另外 MAC 层方面的研究主要集中在调整占空比^[7]和采用休眠机制^[8]来降低能耗.大部分的研究主要集中在上层协议上,而从通信协议中的底层入手降低能耗的研究很少.由于最终的数据传输都是由物理层完成,因此,减小物理传输过程的能耗很有必要.延长无线节点工作寿命的关键在于降低其工作的占空比和收发机本身的功耗.本文将展开介绍一种细分感知层收发机工作模式的能耗管理策略来降低能耗.

2 基带收发机设计概述

本文提出的物联网通信系统如图 1 所示,由 3 部分组成:嵌入式处理器、数字基带和射频收发机。嵌入式处理器上搭载着 Zigbee 协议栈的嵌入式操作系统,主要负责 HMAC(High MAC)层及网络层以上的通信,实现网络管理、数据流控制,并通过上层应用程序与其他网络用户进行信息交互。数字基带部分主要负责高可靠和低能耗的数据收发,通过数模模数转换,射频发射机将基带数字信号上变频到 2.45 GHz 频段,射频接收机将射频信号下变频到基带频段。为了满足节点微型化的需求,此基带系统采用 SoC(System on Chip,片上系统)设计方法学,将所有硬件模块整合到单芯片上。因此基带部分被设计成一个 IP 模块挂载在总线上,上层软件通过总线协议调用它。

其中,数字基带部分划分为 LMAC 层(Low MAC)和物理层(PHY)两部分.如图 2 所示,LMAC 负责完成以下三种功能:通过 FIFO(先入先出)缓存物理层与上层之间的数据流;通过 AMBA(高级

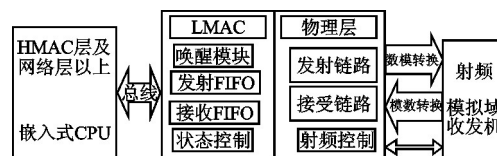


图 1 物联网通信系统框图

微控制器总线架构)总线接口与运行有上层协议的处理器的信息交互;通过 FSM(有限状态机)实施整个基带的低能耗策略。在物理层发射机中,MAC 帧以比特流(数据速率 250 kb/s)形式进入物理层,并且被封装成协议规定格式的数据包。每四位信息会被映射成 16 位的正交伪随机噪声(PN)序列,其中的每一位称作一个码片(码片速率 2 Mchip/s)。之后,经 O-QPSK 调制、半正弦波脉冲成形滤波后,调制信号通过 DAC 送入模拟前端进行发射。在物理层接收机中,经 ADC(模拟数字转换器)、信道侦听器的检测和自动增益(AGC)的调整后,接收到的信号通过下采样低通滤波器以滤去部分无线信道噪声,借助本地已知的前导序列和 SFD(帧开始符)完成载波同步和帧同步。经 O-QPSK 解调、解扩和解帧后的数据会储存在 LMAC RX FIFO 中以等待上层响应。为了进一步理解接收机的工作,长度为 5 个字节的物理帧头的使用情况如表 1 所示。

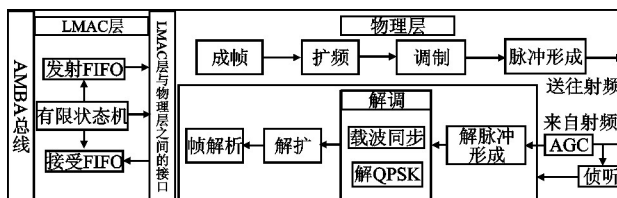


图 2 基带收发机内部框图

表 1 前导序列和帧开始符的分配情况

功能	分配时长/ μs	所属区域
侦听器+AGC	32	前导序列
最佳下采样	32	前导序列
载波同步	32+16	前导序列
帧同步	32	帧开始符

3 关键模块的可靠性设计

3.1 载波同步解调器

由于通信系统的载波频率较高,接收端与发射端晶振微小的不匹配将引入较大的频率偏差,这会严重影响同步的性能.在相位调制的无线通信系统中,调制信号可以表示为 $e^{j\theta}$,那么受载波频率偏移和相位偏移影响的接收信号可以表示为 $e^{j(\theta + 2\pi \cdot \Delta f \cdot T + \Delta\theta)}$,其

中 Δf 代表接收端与发射端之间的载波频率偏移量, T 代表调制中符号的时间间隔 (即码片周期 $0.5 \mu\text{s}$), $\Delta\theta$ 代表载波相位偏移量. 实际应用中的无线通信系统都会对射频模块提出一定的设计要求, 比如 IEEE 802.15.4 协议中规定收发两端射频部分的最大不匹配度是 $\pm 80 \times 10^{-6}$, 2.45 GHz 频段对应的频率偏移是 196 kHz , 即两个码片之间存在 35.28° 的相位差.

通常, 接收机利用本地已知的前导序列进行载波同步. 传统的频率偏移估计方法需要耗费大量的复数乘法器来计算前导序列与接收信号的共轭相关值. 随着频率偏移和信道噪声的增大, 此法计算出来的共轭相关峰会越来越不明显. 为应对存在的问题, 提出了一种新型的载波同步方法.

接收信号中的相位偏移除了载波频率偏移外, 还存在着由调制信号内容变化引起的相位角变化. 在 QPSK 调制的系统中, 调制信号的相位为 $\pi/2$ 的整数倍. 频偏估计的方法首先在一段特定前导区域内消除因调制信号所代表的内容不相同而造成的相位差, 再去估计由载频偏移所导致的相位差. 具体是接收信号的相位同已知的前导序列的相位相减得到相位差, 利用一段前导序列作为滑动窗口在接收到信号的相位中滑动, 在前导序列区域内寻找两者最匹配的时间点. 此时间点所在的区域相位差表征出来是最平坦的一块区域, 基本上是一定值. 由于节点是资源受限的, 所以将方差公式进行简化来衡量相位差的离散性, 如式 (1) 所示, 其中 s 表示简化后的方差, $\bar{x}$ 为序列 x_i 的均值 (其中求均值运算由加法和移位操作完成), $n=16$ 表示滑动窗口的长度为 32 个码片周期. 最小方差点为帧同步点, 所对应的滑动窗口内的平均值即为频率偏移的估计值 φ . 这样在完成了频率偏移估计的同时也完成了接收机的帧同步.

$$s = \sum_{i=1}^n |x_i - \bar{x}|, n=16 \text{ or } 32 \quad (1)$$

下面将讨论载波频率偏移补偿操作. 由于载频偏移对基带信号的影响是不断累加的, 所以, 补偿时对第一信号点反转 φ , 第二信号点反转 2φ , 第三信号点反转 3φ ……依此类推. 如果对频偏直接进行补偿的话, 需要进行大量的乘法运算, 而频偏补偿的实质为相位角的反转. 因此, 为了节省硬件开销, 借助常用的 CORDIC (坐标旋转数字计算机) 算法来计算接收信号的相位角和进行频偏补偿 (反转).

实际工程会存在测量和量化的误差. 量化后的

频率偏移值与实际偏移值存在的误差会导致连续调制信号相位角的微旋转. 这样的误差累积起来会导致调制信号的相位旋转到星座图上的另一个象限造成解调错误. 所以, 问题的关键在于打破误差累积的过程. 针对 QPSK 是四相调制, 引入相应的微调: 把接收到的信号调整到其所在象限的角平分线上, 调整的角度用 θ 来表示. 落在第一象限上的信号相位角调整到 45° , 落在第二象限上的信号相位角调整到 135° , 落在第三象限上的信号相位角调整到 -135° , 落在第四象限上的信号相位角调整到 -45° . 对连续调制信号进行微调的关键在于对当前信号点的微调必须算上前面微调所累积的误差之和. 相应的带微调的反转过程是这样的: 频率补偿开始的第一信号点在微调 θ_1 的基础上反转的角度为 $\varphi + \theta_1$, 第二信号点在微调 θ_2 的基础上反转的角度为 $2\varphi + \theta_1 + \theta_2$, 第三信号点在微调 θ_3 的基础上反转的角度为 $3\varphi + \theta_1 + \theta_2 + \theta_3$ ……依此类推.

经过载波频率偏移补偿后的信号不再旋转, 它会停留在一个特定的位置上. 在星座图上这个位置与理想调制信号的位置的差值即载波相位的偏移量. QPSK 是四相调制, 所以其解调可以根据接收信号所在的象限来判决的. 微调后的载波相偏只存在 $0, \pi/2, \pi$ 和 $-\pi/2$ 四个角度. 根据前导序列的实部与接收信号虚部 (Q_{RX}) 和实部 (I_{RX}) 的相关值的正负和大小可以获得相位的偏移量, 再依据式 (2)~(5) 所示的方法进行相应的相位补偿. 最后, 根据载波频率补偿和相位补偿后信号所在的象限进行 QPSK 解调.

$$I_{RX} + jQ_{RX} = I_{TX} + jQ_{TX} \quad (2)$$

$$I_{RX} + jQ_{RX} = (I_{TX} + jQ_{TX}) \cdot e^{j\pi/2} = -Q_{TX} + jI_{TX} \quad (3)$$

$$I_{RX} + jQ_{RX} = (I_{TX} + jQ_{TX}) \cdot e^{j\pi} = -I_{TX} - jQ_{TX} \quad (4)$$

$$I_{RX} + jQ_{RX} = (I_{TX} + jQ_{TX}) \cdot e^{-j\pi/2} = Q_{TX} - jI_{TX} \quad (5)$$

综上所述, 该解调器的关键在于载波同步, 其流程是: 首先进行带帧同步的载波频率偏移估计, 微调后进行频率补偿, 之后进行相位估计与补偿, 最后 QPSK 解调.

3.2 正弦成形滤波器

带上采样的数字基带成形滤波器能够有效地抑制码间干扰并降低传输中的信号失真. 根据协议, 用一个半正弦波表示一个基带码片. 为了精简发送滤波器的设计难度和复杂度, 根据输入码片的正/负情

况采用映射的方式,滤波器的输出直接是事先存储好的上/下离散半正弦。为了削弱信道噪声,引入接收端的低通滤波器以改善接收信号的质量,其中接收滤波器的截止频率必须算入载波频率偏移的最大量,不然后续频偏估计的准确度会降低。上采样的倍数和低通滤波器的阶数是在滤波性能和实现复杂度之间做出折中后通过 Matlab 仿真和实际的测试联合确定的。

然而,受信道噪声和频率偏移的影响,接收机很难采到正确的下采样点。观察图 3 所示的信号波形,可以获得最佳下采样点的方法:在 16 个码片周期的时间窗口内分别依次累加 8 个采样点的复数幅度,如下式(6)、(7)所示; $s_1, s_2, s_3, s_4, s_5, s_6, s_7$ 和 s_8 中最大值所在的位置即最佳采样点。接收机根据此采样点对接收信号进行下采样抽取。考虑到复数乘法器的实现成本很大,计算复数幅度的方法采用如式(8)所示的简化算法。

$$s_1 = \sum_{n=1}^{16} |a_n|, s_2 = \sum_{n=1}^{16} |b_n|, s_3 = \sum_{n=1}^{16} |c_n|, \\ s_4 = \sum_{n=1}^{16} |d_n| \quad (6)$$

$$s_5 = \sum_{n=1}^{16} |e_n|, s_6 = \sum_{n=1}^{16} |f_n|, s_7 = \sum_{n=1}^{16} |g_n|, \\ s_8 = \sum_{n=1}^{16} |h_n| \quad (7)$$

$$|I + jQ| \approx \text{Max}(|I|, |Q|) + \text{Min}(|I|, |Q|)/2 \quad (8)$$

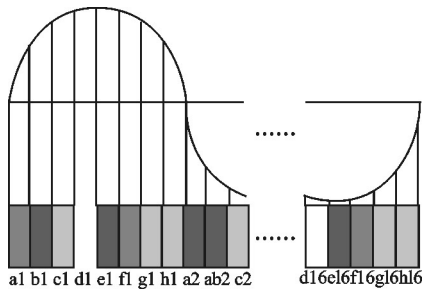


图 3 解半正弦成形下采样波形图

3.3 扩频与解扩

直接序列扩频通信系统因具有较强的抗干扰能力和保密性而被广泛应用。协议中规定物理帧的信息每四位要被扩频成一个 32 位的码片序列。由此,带来的扩频增益可以为整个通信系统提供容错与纠错的能力。本文提出一种低复杂度的扩频方法:首先将 4 位信息的 16 种组合分别映射成 32 位的 PN 序列,并依次储存到一个查找表中;后续工作时根据物

理帧信息的内容在此表中查找出相应的码片序列。

解扩是利用异或(XOR)运算计算出接收到的码字最小汉明距离来进行判决的。其中汉明距离是长度相等的两个字符串在相同位置处的码元不同的数目。解扩的具体流程参见图 4,将接收到的码片流分别与 16 个 32 位已知的码片序列进行异或操作,并找出最小汉明距离所在的序号。在寻找最小值的过程中可以引入一个比较阈值以硬件降低实现的成本。

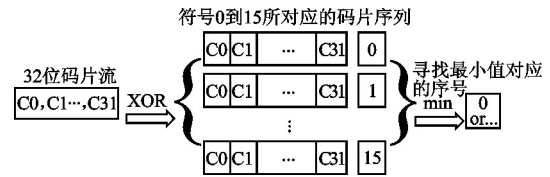


图 4 解扩操作示意图

3.4 自动增益调整(AGC)

未知的通信环境和传输距离以及真实系统的非理想特性会造成信号的失真,很有必要将接收信号的幅度调整到较理想的位置以降低能耗和误码率。具体方法是,累积前导序列区域内接收信号的能量,与预先测试好的上下阈值比较,通过负反馈调整射频接收增益来实时地使接收信号的幅度浮动在理想的信号幅度上下。

4 低能耗的管理策略

4.1 低能耗状态管理器

目前,射频的能耗占整个通信系统的比例很大,一般处理是尽可能地关断射频模块,设置一个较低占空比使节点可以工作数年。这里引入一种新型能耗管理方法,即将基带的工作模式划分为五种状态:休眠态、待机态、发射态、同步态和接收态。同步态从接收态中分离出来的,目的是为了进一步降低接收机的能耗。另外,出于安全考虑,进入休眠态的优先级最高,即收发机无论之前处于哪个工作模式,只要有 MAC 层休眠指令到达,就会立即关断整个基带的供电进入休眠。

图 5 中描绘了五种工作模式之间的状态跳转情况。初始化完成之后,通过能耗管理模块的开关调度功能关闭暂时不工作的模块的时钟,使整个系统处于待机态以降低能耗。如表 2 所示,在待机态,发射机和接收机的时钟被门控,或者供电被关断,直到信道侦听器监测到有信号的到来,或者 MAC 层有数据要发送。信道侦听器是通过累积信道中的信号能量以指示接收数据包的到来。信道侦听器属于软硬

件设计的一部分,因为在上层协议栈中会设有一个开关来控制其使能.当 MAC 帧加载到 LMAC 层的 TX FIFO 后,基带就会从待机态跳转到发射态驱动物理层发射机工作.发射完成之后,如果没有一个新的 MAC 帧加载到 TX FIFO 中,收发机在等待一段时间之后,自动返回到待机态.只要信道侦听器监测值超过初始化时设定的阈值,接收机的同步部分就开始工作.在帧同步上之后接收机中的解扩、解帧等模块开启即进入接收态.在自动应答(ACK)的软件选项被开启的情况下,经校验接收帧无误之后基带会启动发射机回发一个 ACK 帧.收发机被设计成在一个模式等待一段时间之后会自动返回到待机态以节省能耗.此外,可以通过上层软件来配置休眠时长等参数,还可以配合一些常用的低功耗技术(如时钟门控、多供电电压、多阈值电压等)以进一步延长节点的使用寿命.

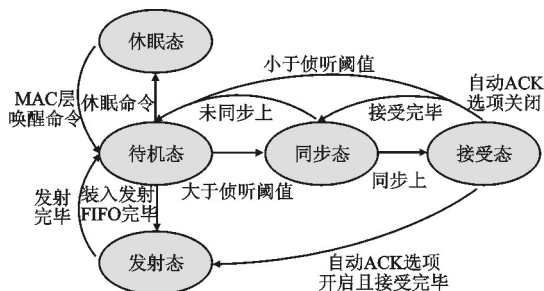


图5 基带工作模式状态跳转图

表2 五种工作模式下基带各模块的开关状态

模式	RF	发射链路	侦听	同步部分	接收部分	Tx_fifo	Rx_fifo
待机	开	关	开/关	关	关	开/关	关
发射	开	开	关	关	关	开	关
同步	开	关	开	开	关	关	关
接收	开	关	开	开	开	关	开
休眠	关	关	开/关	关	关	关	关

4.2 信道侦听器

传统监测接收包是否到来的单滑动窗口方法^[9]一般在低信噪比(Signal Noise Ratio, SNR)信道环境下的误警率很高.下面将介绍一种改进后的双滑动窗口信道侦听器.如图6所示, d 是一个滑动窗口的宽度,接收信号依次通过两个相邻窗口A和B,同时A和B窗口分别累积信号的能量.为了减小硬件开销,采用如式(8)所示的算法来计算信号能量.侦听器具体的工作流程如图7所示,随着接收信道的到来,当接收信号完整地填满窗口A还没有到达窗口B之时,两窗口的信道能量之差 $E_A - E_B$ 会渐

渐出现一个正的峰值.在 HMAC 中可以软件设置一个开关阈值(Th)用来在 $E_A - E_B > Th$ 时开启接收机使收发机工作在同步态,即在图中的“开始”点处.在这之后接收物理帧的过程中 $E_A - E_B$ 几乎为0.物理帧在快接收完毕之时窗口A中的信号能量会逐渐减小,因此在图中“停止”处 $E_A - E_B$ 会出现一个负的峰值.为了避免频繁开关接收机造成能量的浪费,在 $E_A - E_B < -Th$ 之后收发机再等待一段时间,若没有新的接收信号到来,接收机被关断并回到待机态.

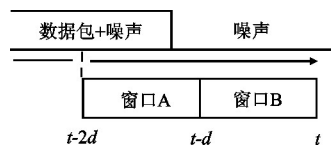


图6 双窗口信道侦听器

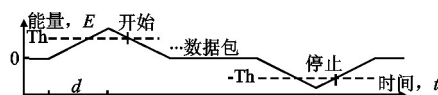


图7 侦听过程示意图

5 实验结果与分析

通过借助 Matlab 工具搭建了兼容 IEEE 802.15.4 协议的基带收发机通信链路,然后在 Synopsys 的 VCS (Verilog Compiled Simulator)工具下完成了整个基带收发机的硬件功能验证,并且在 FPGA 原型系统上完成了系统集成与测试.关于此收发机的可靠性和低能耗的实验结果和分析如下.

如图8所示,在加性高斯白噪声(AWGN)信道下,随着信噪比的增大,载频偏移的估计值和实际值之间的误差会越来越小.其中误差最大($SNR = 0$ dB)时的频偏估计误差小于 6 kHz,相对误差小于 3%,这足以满足后续频偏补偿对精度的要求.其次,根据协议的规定,用 20 字节的随机数构成物理帧的有效载荷部分,用均匀分布在 ± 500 kHz、 $\pm \pi$ 之内的随机数值作为频率偏移和相位偏移,仿真了此收发机的性能:不同信噪比下的误码率(PER vs E_b/N_0).如图9所示,随着信噪比 E_b/N_0 的增大,系统的误帧率迅速降低.误帧率为 1% 所对应的信噪比 E_b/N_0 为 6.6 dB.另外,最大频率偏移下的误帧率与随机频率偏移下的误帧率之间的差别不大,其仿真结果表明此收发机放宽了基带对射频前端的设计要求(从 $\pm 40 \times 10^{-6}$ 放宽到 $\pm 100 \times 10^{-6}$),同时也说明了此收发机可以工作在大频偏和大相偏的恶劣环境

下,具有容错和纠错能力的滤波器和解扩器,以及带微调功能的频偏补偿的算法,使此收发机在可靠性方面优于文献[2-5]的数据,具体参见表3。

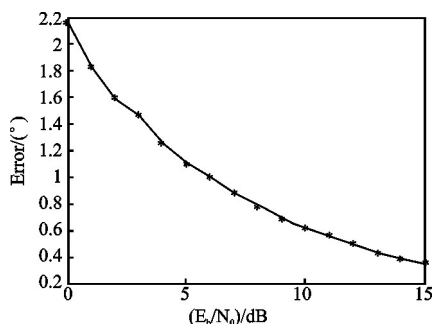


图8 频偏估计误差图

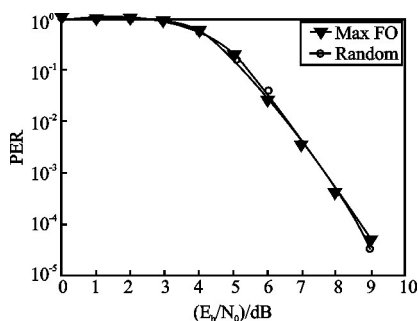


图9 在最大频偏和随机频偏下的误帧率

表3 与非相干解调器的对比

收发机	解调方法	$(E_b/N_0)/\text{dB}$
本文	带微调功能的频偏补偿	6.6
文献[2]	零中频过零检测	14.8
文献[3]	异步过零检测	9.5
文献[4]	相轴检测	8.8
文献[5]	相移下采样	12

整个基带收发机是全数字实现,由 Verilog HDL(硬件描述语言)完成设计,通过了 VCS 功能验证、Prime Time 时序验证和 FPGA 板级功能测试,并在中芯国际(SMIC)65 nmCMOS 工艺综合实现。由于基带收发机是资源受限的节点的核心,因此算法和硬件实现的过程中要考虑到功耗的大小,尽量采用低复杂度和较少硬件开销的算法,相应的乘法器和取平均等复杂运算均通过基本的加法和移位操作来实现。整个基带收发机作为一个 IP 模块挂载到 AMBA 总线上,用 VCS 对其进行总线功能模型(Bus Function Model, BFM)功能验证,用 Design Compiler(DC)进行逻辑综合,用 Prime Time (PT-PX)进行时序分析和功耗估算。基带收发机中时钟最高频率为 16 MHz,总的等效逻辑门数是 4.1 万

门,供电电压为 1.0 V。在运用门控时钟、多供电电压和多阈值电压等低功耗技术之后,整个基带的总功耗低至微瓦级,其中休眠态的总功耗为 $1.5 \mu\text{W}$,接收态的功耗为 $187.8 \mu\text{W}$ 。各个模式下收发机的功耗所占比例如图 10 所示。

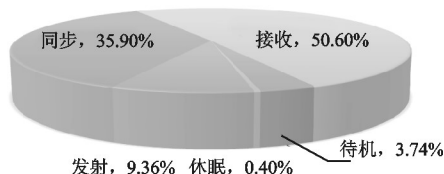


图10 基带各工作模式的功耗所占的比例

基带收发机的 FPGA 原型系统由四部分组成: 载有基带数字电路的 FPGA 芯片、数模/模数转换的 AD/DA 芯片,模拟域的电平转换芯片和 2.45 GHz 频段的射频收发机。接着,在完成板级收发机闭环通信功能验证之后,借助矢量信号发生器和频谱分析仪搭建了射频基带联调系统,完成发射机和接收机的性能测试。发射出去的射频信号是恒包络调制信号,并通过频谱分析仪内置 IEEE 802.15.4 协议模板测量知,调制精度 EVM 小于 1%,相位误差小于 2.8° ,表明该原型系统中的发射机与 IEEE 802.15.4 协议兼容。测试接收机的方法是这样的:借助矢量信号发生器生成叠加有 AWGN 噪声的基带信号,并将它调制成 2.45 GHz 频段的射频信号,经频谱分析仪下变频到基带频率后接入到 FPGA 接收机中进行测试。实测接收机误帧率 1% 时的信噪比 SNR 为 9 dB。由于实际器件的误差和测量设备的精度导致其在性能上比前面仿真的结果差了 2 dB。

最后,本设计与其他已发表的 $0.18 \mu\text{m}$ CMOS 工艺下的基带芯片^[5,10]进行了对比。并且引入归一化的功耗(Normalized Power)和设计效率指数(figure of merit, FOM)作为评价设计效率(低成本、低功耗和高可靠性)的指标。具体的定义如式(9)、(10)所示,其中 -1.6 dB 为通信系统的香农极限。FOM 值越大表明某款芯片的设计效率越高,从表 4 中的结果可以看出,本设计在 65 nm 工艺下的设计效率是最高的。在同等硬件实现开销下,这款基带芯片的可靠性也是优于采用非相干解调的文献[5]。与相干解调相比,此收发机损失 2 dB 的信噪比(E_b/N_0)换取来了更低的功耗和更小的芯片面积开销。众所周知,相干解调法在信噪比上是优于非相干解调法 3 dB 的,但前者的成本较高。因此,在非相干解调中引

入滑动相位差的载波同步方法进行性能和成本的折中,不仅能降低系统实现复杂度,而且能在恶劣环境下获得很好的系统性能,最终达到了高可靠性、低能耗和低成本的设计目标.设计效率的改善在很大程度上是得益于载波同步算法的优化、能耗管理的引入和先进的工艺实现.

$$\text{Norm_Power} = (\text{Power}) / (\text{Voltage}^2 \cdot \text{Freq}) \quad (9)$$

$$\text{FOM} = 10 / (\text{Norm_Power} \cdot \text{Gate} \cdot (E_b/N_0 + 1.6)) \quad (10)$$

表 4 与文献中的芯片对比

芯片	文献[5]	文献[10]	0.18 μm (本文)	65 nm(本文)
$(E_b/N_0)/\text{dB}$	12	4.7	6.6	6.6
供电电压/V	1.8	1.8	1.8	1.0
时钟频率/MHz	8	4	16	16
等效门数/千门	44	78	46	41
总功耗/mW	1.37	1.80	1.41	371
归一化功耗	0.053	0.139	0.027	0.023
FOM	0.32	0.59	0.98	1.28

6 结束语

文中介绍了一款兼容 IEEE 802.15.4 协议的高可靠、低能耗的数字基带收发机的算法设计、仿真与实现.所提出的解调方法不仅完成了载波频率同步和帧同步,而且还降低了基带对射频前端的设计要求.其中误帧率 1%对应的信噪比为 6.6 dB 的结果优于同类文献.同时,得益于精简的通信算法优化和五种工作模式的能耗管理,此款基带芯片在中芯国际 65 nm 工艺下的功耗只有微瓦级.此款收发机可以作为多种应用场景的高可靠通信和超长续航能力的无线物联网节点的解决方案.

参考文献:

- [1] Atzori L, Iera A, Morabito G. The internet of things: a survey[J]. Computer networks, 2010, 54(15): 2787-2805.
- [2] Kwon H M, Yue H, Hou W, et al. Improved zero-crossing demodulator for minimum shift keying under

static environments[C]// Global Telecommunications Conference, GLOBECOM'95. Singapor, IEEE, 1995 (2): 1024-1028.

- [3] Dehaese N, Bourdel S, Barthelemy H, et al. Simple demodulator for 802.15.4 low-cost receivers[C]// Radio and Wireless Symposium, 2006 IEEE. San Diego, IEEE, 2006: 315-318.
- [4] Yu Y, Meng X, Xiao S, et al. A new low-cost demodulator for 2.4 GHz ZigBee receivers[J]. Journal of Electronics, 2009, 26(2): 252-257.
- [5] Wang C C, Sung G N, Huang J M, et al. A low-power 2.45 GHz WPAN modulator/demodulator[J]. Microelectronics Journal, 2010, 41(2): 150-154.
- [6] Bani Hani R M, Ijeh A A. A survey on LEACH-Based energy aware protocols for wireless sensor networks[J]. Journal of Communications, 2013, 8(3): 192-196.
- [7] Lin P, Qiao C, Wang X. Medium access control with a dynamic duty cycle for sensor networks[C]// Wireless Communications and Networking Conference, 2004 WCNC. Atlanta, IEEE, 2004(3): 1534-1539.
- [8] Xiao Z, He C, Jiang L. Slot-based model for IEEE 802.15.4 MAC with sleep mechanism[J]. Communications Letters, 2010, 14(2): 154-156.
- [9] Schurgers C, Tsiatsis V, Ganeriwal S, et al. Optimizing sensor networks in the energy-latency-density design space[J]. Mobile Computing, IEEE Transactions on, 2002, 1(1): 70-80.
- [10] Chen K H, Ma H P. A low power ZigBee baseband processor[C]// SoC Design Conference, ISOC08. International. Korea: Seoul, IEEE, 2008(1): 40-43.

作者简介:

夏继康 男, (1986-), 博士研究生. 研究方向为物联网与低功耗通信系统及其 SOC 芯片设计. E-mail: Xijikang@ime.ac.cn.

陈岚 女, (1968-), 博士, 研究员, 博士生导师. 研究方向为超深亚微米芯片设计方法学、计算机体系结构及物联网关键技术.

李莹 女, (1982-), 博士, 副研究员. 研究方向为物联网与嵌入式系统设计.